

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 5月24日

出願番号
Application Number: 特願2004-152805

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

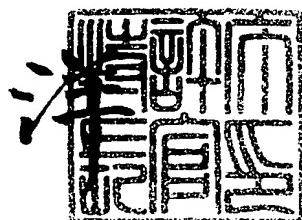
J P 2004-152805

出願人
Applicant(s): 松下電器産業株式会社

2005年 6月 8日

特許長官
Commissioner,
Japan Patent Office

小川



【宣状文】
【整理番号】 2110560015
【提出日】 平成16年 5月24日
【あて先】 特許庁長官殿
【国際特許分類】 G09G
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 瓜生 朋浩
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 川村 秀昭
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355
【弁理士】
【氏名又は名称】 坂口 智康
【選任した代理人】
【識別番号】 100109667
【弁理士】
【氏名又は名称】 内藤 浩樹
【手数料の表示】
【予納台帳番号】 011305
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9809938

【請求項 1】

表示装置に映像出力データを出力する映像信号処理部およびこの映像信号処理部の動作を制御するデータを保持する制御部とを備えた半導体集積回路装置と、この半導体集積回路装置の外部に設けられかつ前記制御部に送るための制御データを保持するとともに前記制御部によりデータの読み出しが制御可能な外部メモリとを有し、前記外部メモリと制御部との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、前記映像出力データの垂直プランギング期間にデータを転送するように構成し、かつ前記毎フィールド更新する必要のないデータは複数に分割するとともに、複数のフィールドに分けて転送するように構成したことを特徴とする画像信号処理装置。

【請求項 2】

映像信号処理部に毎フィールド更新しなければならないデータを保持するメモリと、毎フィールド更新する必要のないデータを保持するメモリとを設けたことを特徴とする請求項 1 に記載の画像信号処理装置。

【技術分野】

【0001】

本発明はプラズマディスプレイなどの画像信号処理装置に関する。

【背景技術】

【0002】

プラズマディスプレイパネル（以下、パネルと略記する）として代表的な交流面放電型パネルは、対向配置された前面板と背面板との間に多数の放電セルが形成されている。前面板は、1対の走査電極と維持電極とからなる表示電極が前面ガラス基板上に互いに平行に複数対形成され、それら表示電極を覆うように誘電体層および保護層が形成されている。背面板は、背面ガラス基板上に複数の平行なデータ電極と、それらを覆うように誘電体層と、さらにその上にデータ電極と平行に複数の隔壁がそれぞれ形成され、誘電体層の表面と隔壁の側面とに蛍光体層が形成されている。そして、表示電極とデータ電極とが立体交差するように前面板と背面板とが対向配置されて密封され、内部の放電空間には放電ガスが封入されている。ここで表示電極とデータ電極とが対向する部分に放電セルが形成される。このような構成のパネルにおいて、各放電セル内でガス放電により紫外線を発生させ、この紫外線でRGB各色の蛍光体を励起発光させてカラー表示を行っている。

【0003】

パネルを駆動する方法としてはサブフィールド法、すなわち、1フィールド期間を複数のサブフィールドに分割した上で、発光させるサブフィールドの組み合わせによって階調表示を行う方法が一般的である。また、サブフィールド法の中でも、階調表現に関係しない発光を極力減らして黒輝度の上昇を抑え、コントラスト比を向上した新規な駆動方法が特許文献1に開示されている。

【特許文献1】特開2000-242224号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

一般に、この種のプラズマディスプレイの駆動制御に用いる画像信号処理装置には、映像信号処理用の半導体集積回路装置（LSI）と、このLSIの外部に設けられ、LSIの動作を制御するデータを保持する外部メモリとしてのフラッシュROMとが使用され、LSI内部のROMアクセス制御回路とフラッシュROMとの間でデータ通信を行っている。すなわち、LSI内部のROMアクセス制御回路で、ROMアドレス、ROMインターフェース信号を作成し、フラッシュROMに対してこれらの信号を転送し、その信号を受けてフラッシュROMは、ROMアクセス制御回路に対して、あらかじめ保持している動作制御用のデータであるROMデータの転送を行っている。

【0005】

近年、表示装置に対して高画質化の要求が強くなるに伴い、LSIの動作を制御するフラッシュROMのデータ量が多くなってきている。また、表示装置に対して、様々なフォーマットの信号入力が要求され、これにより垂直プランギング期間が短くなる場合があり、この場合にはLSIの動作を制御するために必要なデータを垂直プランギング期間中に全て転送できないという課題が発生していた。

【0006】

本発明はこのような画像信号処理装置において、高画質化および様々なフォーマット信号入力に伴う課題を解決することを目的とするものである。

【課題を解決するための手段】

【0007】

本発明は、表示装置に映像出力データを出力する映像信号処理部およびこの映像信号処理部の動作を制御するデータを保持する制御部とを備えた半導体集積回路装置と、この半導体集積回路装置の外部に設けられかつ前記制御部に送るための制御データを保持すると

モリと制御部との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、前記映像出力データの垂直プランキング期間にデータを転送するように構成し、かつ前記毎フィールド更新する必要のないデータは複数に分割するとともに、複数のフィールドに分けて転送するように構成したものである。

【0008】

また、本発明においては、映像信号処理部に毎フィールド更新しなければならないデータを保持するメモリと、毎フィールド更新する必要のないデータを保持するメモリとを設けたことを特徴とする。

【発明の効果】

【0009】

本発明によれば、外部メモリと制御部との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、前記映像出力データの垂直プランキング期間にデータを転送するように構成し、かつ前記毎フィールド更新する必要のないデータは複数に分割するとともに、複数のフィールドに分けて転送するように構成したもので、表示装置を駆動させるための制御データが増えても、より短い垂直プランキング期間に外部メモリと制御部との間でデータを転送することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の一実施の形態における画像信号処理装置について、プラズマディスプレイを例にして、図面を用いて説明する。

【0011】

図1は本発明の一実施の形態によるプラズマディスプレイに用いるパネルの要部を示す斜視図である。パネル1は、ガラス製の前面基板2と背面基板3とを対向配置して、その間に放電空間を形成するように構成されている。前面基板2上には表示電極を構成する走査電極4と維持電極5とが互いに平行に対をなして複数形成されている。そして、走査電極4および維持電極5を覆うように誘電体層6が形成され、誘電体層6上には保護層7が形成されている。また、背面基板3上には絶縁体層8で覆われた複数のデータ電極9が付設され、データ電極9の間の絶縁体層8上にデータ電極9と平行して隔壁10が設けられている。また、絶縁体層8の表面および隔壁10の側面に蛍光体層11が設けられている。そして、走査電極4および維持電極5とデータ電極9とが交差する方向に前面基板2と背面基板3とを対向配置しており、その間に形成される放電空間には、放電ガスとして、たとえばネオンとキセノンの混合ガスが封入されている。

【0012】

図2はパネルの電極配列図である。行方向にn本の走査電極SCN1～SCNn（図1の走査電極4）およびn本の維持電極SUS1～SUSn（図1の維持電極5）が交互に配列され、列方向にm本のデータ電極D1～Dm（図1のデータ電極9）が配列されている。そして、1対の走査電極SCNiおよび維持電極SUSi（i=1～n）と1つのデータ電極Dj（j=1～m）とが交差した部分に放電セルが形成され、放電セルは放電空間内にm×n個形成されている。

【0013】

図3はプラズマディスプレイの全体構成図である。このプラズマディスプレイは、パネル1、データ電極駆動回路12、走査電極駆動回路13、維持電極駆動回路14、タイミング発生回路15、AD（アナログ・デジタル）変換器18、フォーマット変換部19、サブフィールド変換部20および電源回路（図示せず）を備えている。

【0014】

図3において、画像信号sigはAD変換器18に入力される。また、水平同期信号Hおよび垂直同期信号Vはタイミング発生回路15、AD変換器18、フォーマット変換部

12、リノノコールド交換部10に与えられる。ハレ交換部10は、画像信号11とをデジタル信号の画像データに変換し、その画像データをフォーマット変換部19に与える。フォーマット変換部19は、画像データをパネル1の画素数に応じた画像データに変換し、サブフィールド変換部20に与える。サブフィールド変換部20は、各画素の画像データを複数のサブフィールドに対応する複数のビットに分割し、サブフィールド毎の画像データをデータ電極駆動回路12に出力する。データ電極駆動回路12は、サブフィールド毎の画像データを各データ電極D1～Dmに対応する信号に変換し各データ電極を駆動する。

【0015】

タイミング発生回路15は、水平同期信号Hおよび垂直同期信号Vをもとにしてタイミング信号を発生し、各々走査電極駆動回路13および維持電極駆動回路14に与える。走査電極駆動回路13は、タイミング信号に基づいて走査電極SCN1～SCNnに駆動波形を供給し、維持電極駆動回路14は、タイミング信号に基づいて維持電極SUS1～SUSnに駆動波形を供給する。

【0016】

図4は本発明の一実施の形態におけるプラズマディスプレイの駆動回路部分の詳細を示すブロック図である。図4に示すように、表示装置であるパネルのデータ電極駆動回路12に映像出力データを出力する半導体集積回路装置である映像信号処理用のLSI21と、このLSI21に接続されこのLSI21内部の制御部としてのROMアクセス制御回路22と制御データをやり取りするための外部メモリであるフラッシュROM23とから構成されている。前記LSI21内部には、前記フォーマット変換部19から送られてくる映像入力データを受けて画質補正の信号処理を行う画質補正回路24と、この画質補正回路24の出力データに基づきサブフィールド毎の信号を生成するサブフィールド変換回路25と、このサブフィールド変換回路25から送られてくる信号に基づき映像出力データを生成する映像信号出力回路26とからなる映像信号処理部が設けられている。

【0017】

また、この映像信号処理部の画質補正回路24およびサブフィールド変換回路25は、ROMアクセス制御回路22により読み出されたフラッシュROM内に保持されているROMデータに基づいて動作が制御されるように構成されている。この映像信号処理部の画質補正回路24およびサブフィールド変換回路25それぞれには、それぞれの回路動作制御のために送られてくるROMデータを保持するためのメモリであるSRAM24aおよびSRAM25aが設けられている。

【0018】

すなわち、LSI21外部のフラッシュROM23には、画質補正回路24およびサブフィールド変換回路25で必要となるデータが格納されており、垂直プランギング期間中にLSI21内部にフィールド毎に取り込まれる。ROMアクセス制御回路22では、ROMアドレス、ROMイネーブルの信号を作成し、フラッシュROM23に対してこれらの信号を転送し、その信号を受けてフラッシュROM23は、ROMアクセス制御回路22に対してROMデータの信号を転送する。この転送されてきたROMデータは、前記画質補正回路24およびサブフィールド変換回路25のそれぞれのSRAM24a、25aに保持され、このデータに基づき画質補正回路24およびサブフィールド変換回路25の動作が制御される。

【0019】

また、前記LSI21は、LSI21へのデータの入力用の入力端子27a、データの出力用の出力端子27b、データの入出力用の入出力端子27cを備えており、映像信号出力回路26から出力される映像出力データは、出力端子27bおよび入出力端子27cを通して表示装置のデータ電極駆動回路12に送られる。また、ROMアクセス制御回路22とLSI21外部のフラッシュROM23とは、入出力端子27cを通して接続されており、一部の入出力端子27cは、前記表示装置のデータ電極駆動回路12およびフラッシュROM23に共通に接続されている。

そして、LSI 21 内部において、LSI 21 の ROM アクセス制御回路 22 からフラッシュ ROM 23 に ROM アドレス、ROM イネーブルの信号を転送するライン上には、LSI 21 の入力端子 27a から送られる非同期リセット信号により制御されるバッファ 28、29 が挿入配置されている。このバッファ 28、29 は、非同期リセット信号がイネーブルになっている期間中、ROM アドレス、ROM イネーブルの信号を開放するよう構成されており、このため非同期リセット信号をイネーブル状態にすることにより、その期間中、他の ROM データ書き込み装置 30 により、フラッシュ ROM 23 のデータ内容を更新することが可能である。

【0021】

また、LSI 21において、映像信号出力回路 26 から出力される映像出力データは、出力端子 27b から表示装置のデータ電極駆動回路 12 に転送するラインと、ROM アクセス制御回路 22 からの ROM アドレスの信号と共に線で、セレクタ 31、バッファ 28 を通して入出力端子 27c から表示装置のデータ電極駆動回路 12 に転送するラインと、フラッシュ ROM 23 から ROM アクセス制御回路 22 に転送される ROM データの信号と共に線で、入出力制御手段である I/O 制御部 32 を通して入出力端子 27c から表示装置のデータ電極駆動回路 12 に転送するラインを通して、表示装置のデータ電極駆動回路 12 に送られる。すなわち、LSI 21 の入出力端子 27c は、映像信号出力回路 26 からの映像出力データを出力するための端子として使用するとともに、ROM アクセス制御回路 22 とフラッシュ ROM 23 との間で ROM アドレス、ROM データを転送するための端子として使用するように構成しており、前記各データは時間軸上で多重化して送られるように構成されている。

【0022】

ここで、LSI 21 の ROM アドレス端子、ROM データ端子をそれぞれ LSI 21 の映像出力データの出力端子と共にし、各データを時間軸上で多重化して送信する場合の例を図 5～図 7 を用いて説明する。

【0023】

図 5 (a) は垂直同期信号、図 5 (b) は LSI 21 と表示装置およびフラッシュ ROM 23 との間の転送データ、図 5 (c) は転送データにおける ROM データの一例によるデータパターンを示している。図 5 において、有効映像期間 A 中は、LSI 21 内部の映像信号出力回路 26 から出力される映像出力データが LSI 21 外部のデータ電極駆動回路 12 に対して転送される。一方、垂直プランキング期間 B 中は、LSI 21 内部の ROM アクセス制御回路 22 から ROM アドレス、ROM イネーブルの信号が LSI 21 外部のフラッシュ ROM 23 に対して転送される。そして、この ROM アドレス、ROM イネーブルの信号を受けて、フラッシュ ROM 23 から LSI 21 に対して、図 5 (c) に示すように、毎フィールド更新しなければならないデータ d1-A、d1-B・・と、毎フィールド更新する必要のないデータ d2 からなる ROM データが転送される。

【0024】

ここで、垂直プランキング期間 B 内にすべての ROM データを LSI 21 に転送する必要がある。そこで、毎フィールド同一のデータ d2 については、複数のフィールドに分けて転送するようにすれば、より短い垂直プランキング期間でも ROM データを LSI 21 に転送することができる。図 6 および図 7 に、毎フィールド更新する必要のないデータ d2 を複数に分割するとともに、複数のフィールドに分けて転送する場合の概念を説明するための図を示している。

【0025】

図 6 は毎フィールド同一のデータ d2 について、2 分割して 2 つのフィールドに分けて転送する場合の概念を説明するための図で、図 6 (a) に示すような ROM データについて、図 6 (b) のようにフィールド毎に、可変データ d1-A、d1-B・・と同一データ d2 からなるデータを転送するのではなく、図 6 (c)、(d) に示すように、同一のデータ d2 を 2 分割してデータ d2-a、d2-b とし、可変データ d1-A を SRAM

ム4 dに転送するときに分割したデータノードでSRAM24aに転送し、次フィールドで可変データd1-BをSRAM24aに転送するときに、分割した残りのデータd2-bをSRAM25aに転送するものである。なお、最初のフィールドで可変データd1-Aを転送する際にSRAM25aに転送したデータd2-aは、次のフィールドで可変データd1-Bを転送する際には更新しないでそのままSRAM25aに保持させた状態として、データd2-bのみを転送してSRAM25aに保持させ、次のフィールドで可変データd1-Cを転送する際に更新する。このデータ転送を交互に繰り返すことにより、フィールド毎に同一データd2を分割してSRAM25aに転送する。

【0026】

図7はフィールド毎に同一データd2を4分割して転送する場合の例を示す図で、図7(a)にROMデータを示し、図7(b)～(e)にフィールド毎に転送するデータを示しており、データ転送の動作は上記図6の2分割する場合と同様な動作を行う。

【0027】

このように毎フィールド同一のデータd2については、複数のフィールドに分けて転送するようすれば、より短い垂直プランギング期間でもROMデータをLSI21に転送することができる。

【産業上の利用可能性】

【0028】

以上のように本発明によれば、プラズマディスプレイなどのデジタル表示装置の高画質化および様々なフォーマットの信号入力に適する画像信号処理装置を提供することができる。

【図面の簡単な説明】

【0029】

【図1】 プラズマディスプレイのパネルの要部を示す斜視図

【図2】 同プラズマディスプレイパネルの電極配列図

【図3】 プラズマディスプレイの全体構成図

【図4】 本発明の一実施の形態における画像信号処理装置を示すブロック図

【図5】 同装置において、データ転送を説明するための説明図

【図6】 同装置において、2分割してデータ転送する場合の一例を説明するための説明図

【図7】 同装置において、4分割してデータ転送する場合の一例を説明するための説明図

【符号の説明】

【0030】

21 LSI

22 ROMアクセス制御回路

23 フラッシュROM

24a、25a SRAM

26 映像信号出力回路

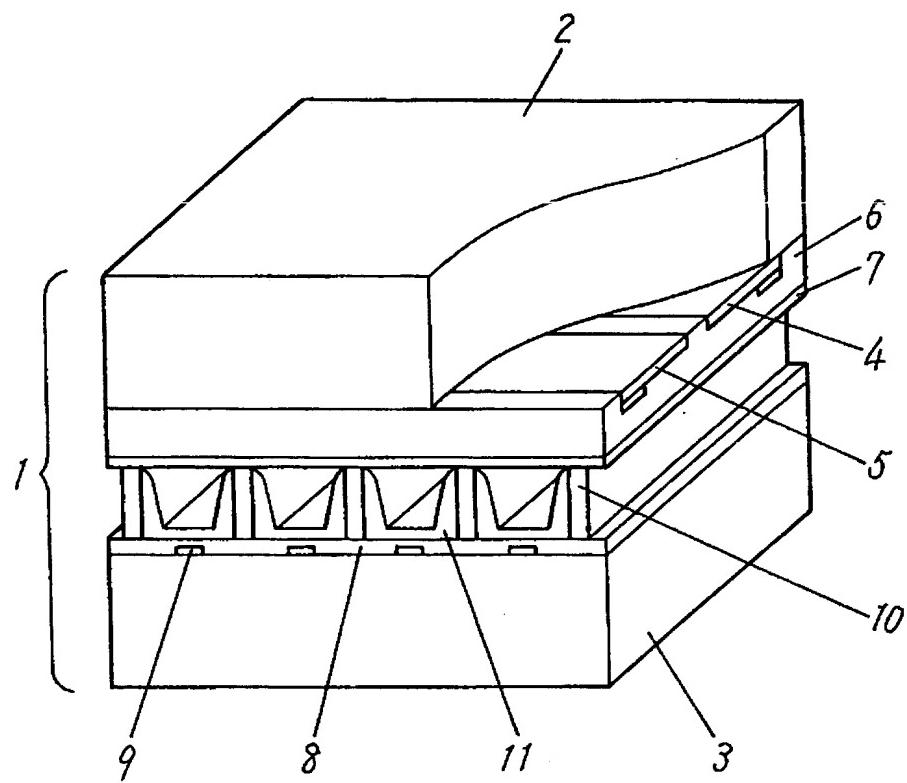
27c 入出力端子

28、29 バッファ

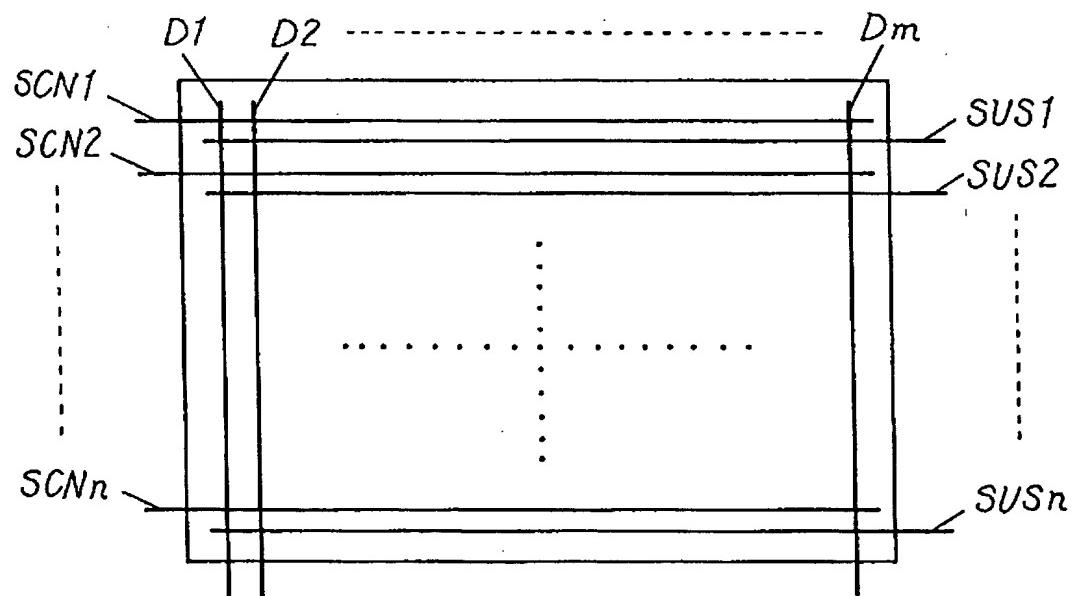
31 セレクタ

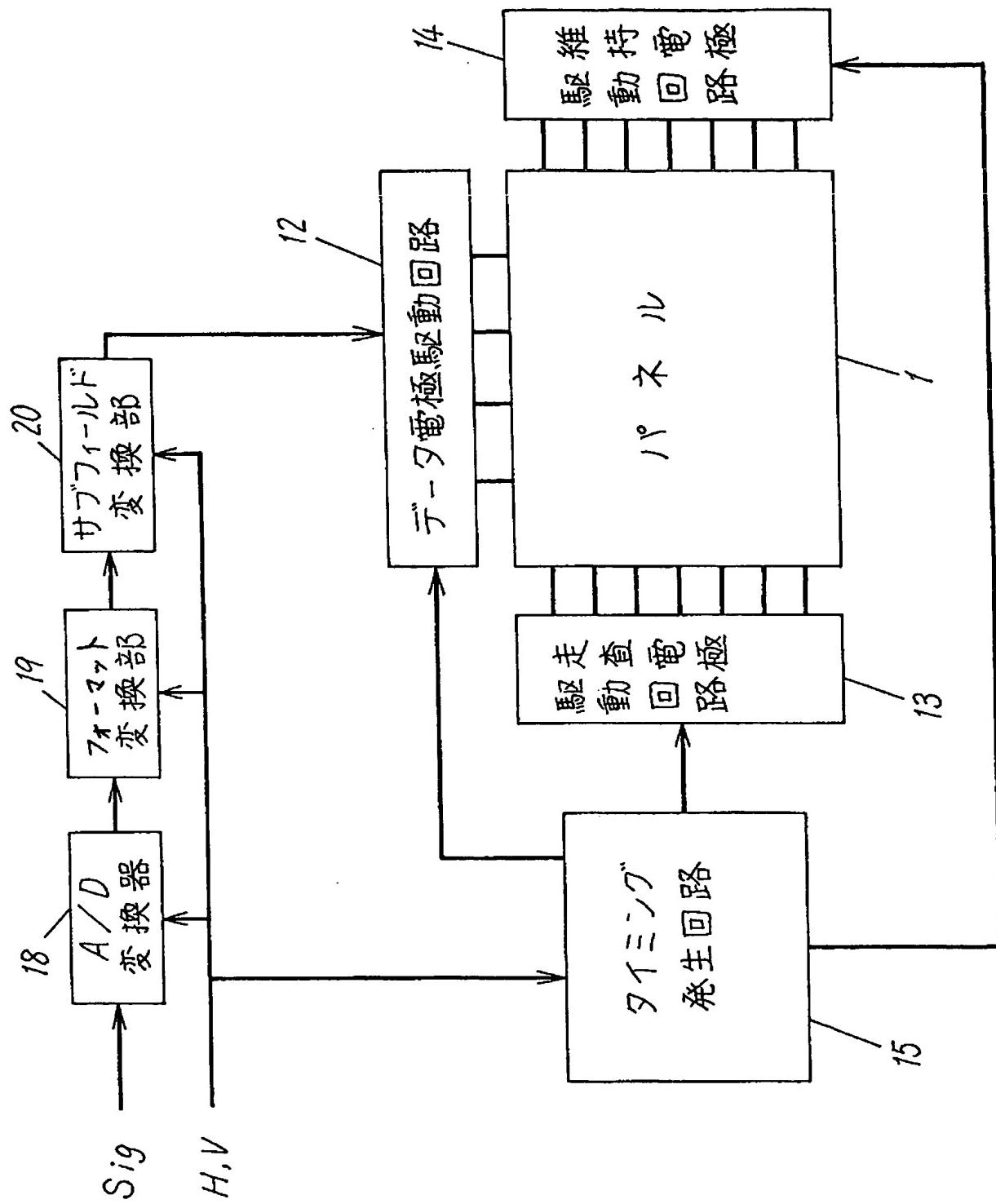
32 I/O制御部

【図 1】

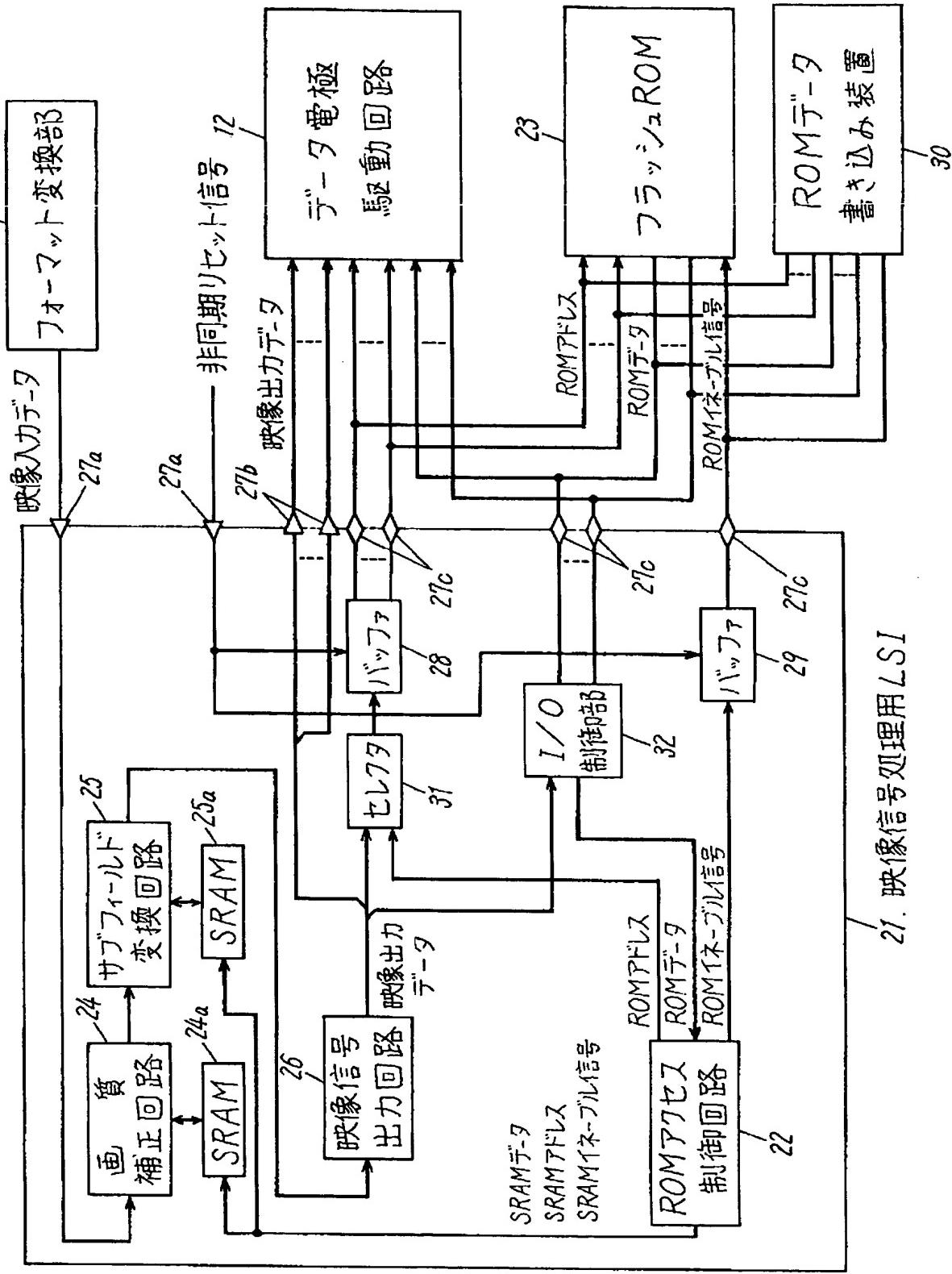


【図 2】



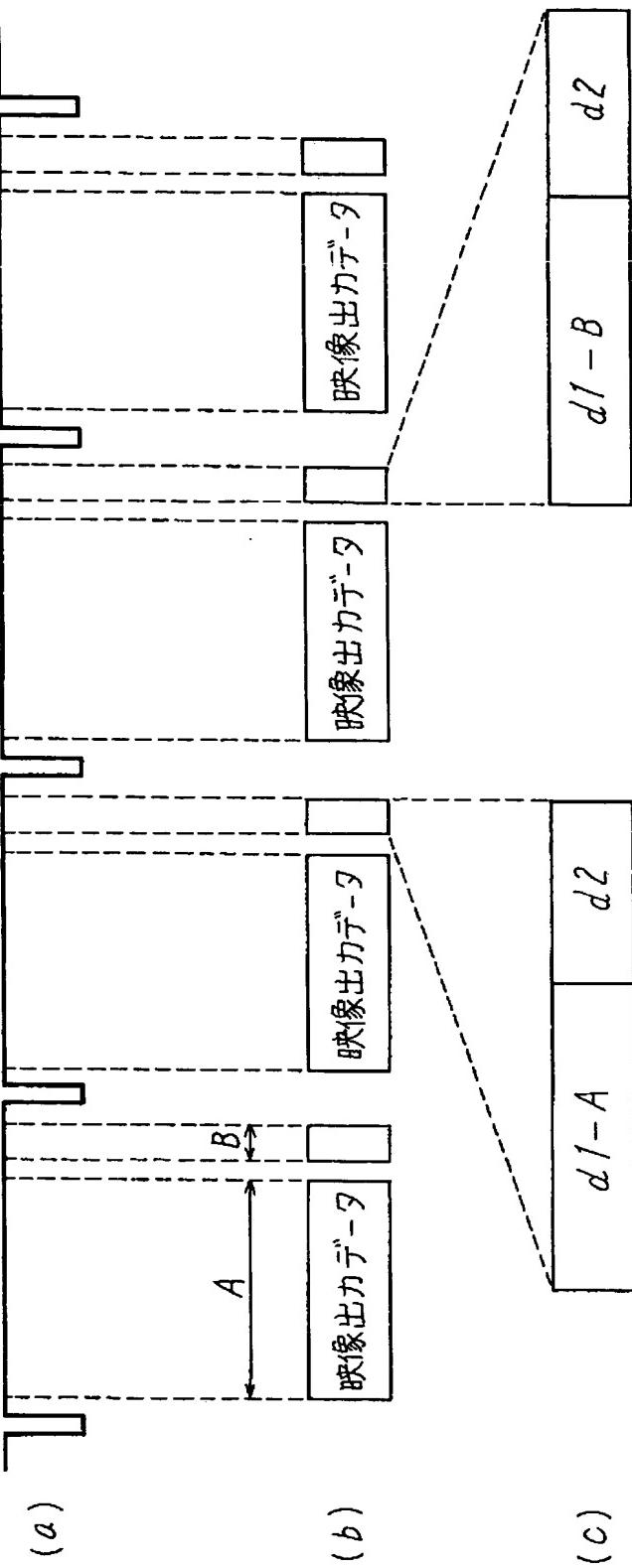


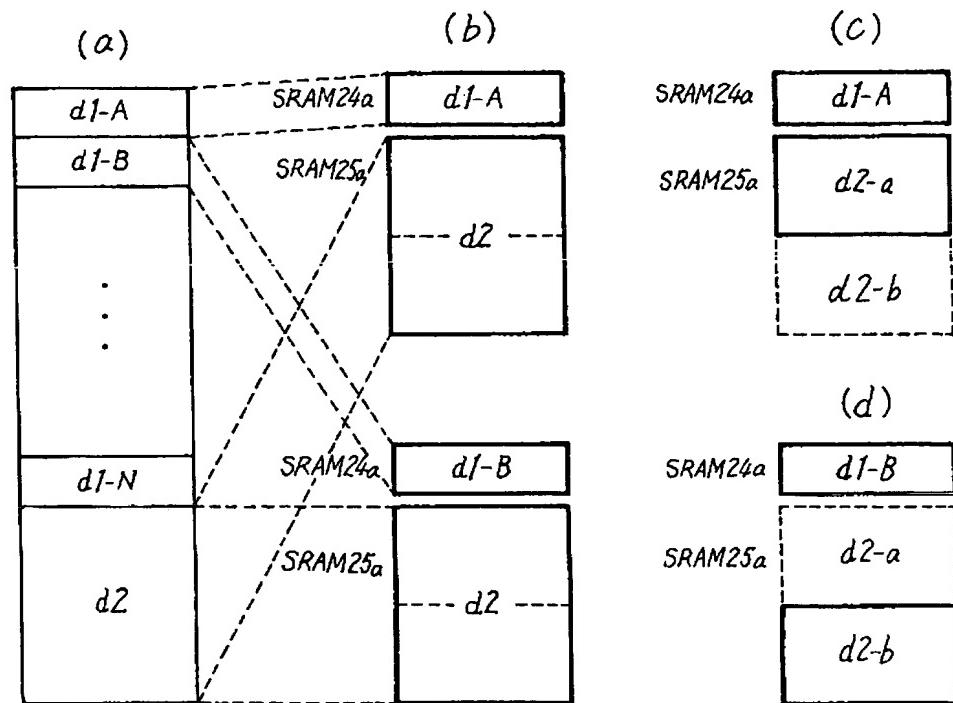
19



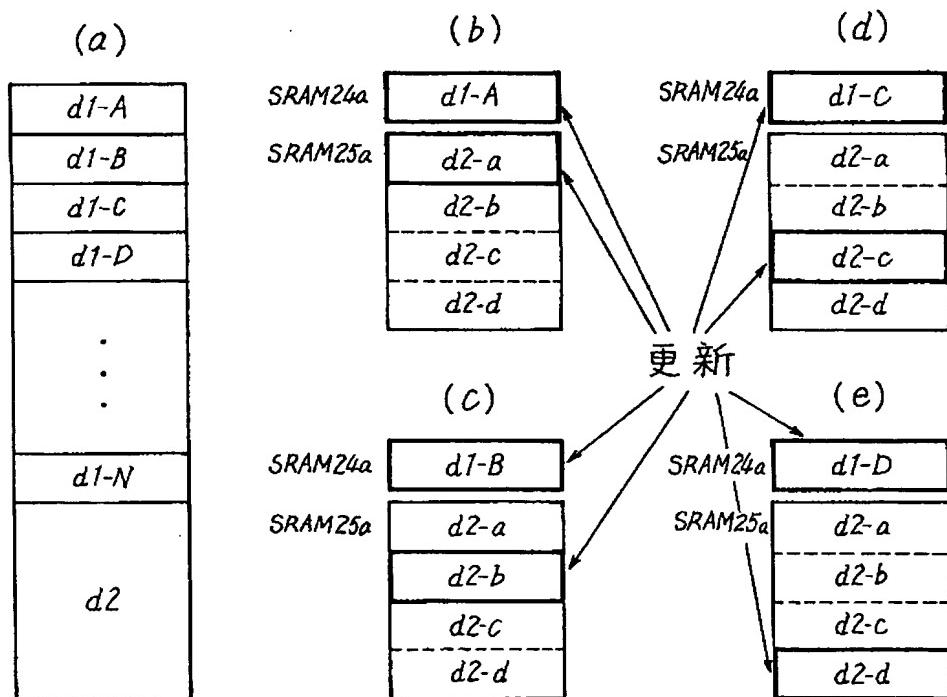
21. 映像信号処理用LSI

30





【図 7】



【要約】

【課題】 画像信号処理装置において、高画質化および様々なフォーマット信号入力に伴う課題を解決することを目的とする。

【解決手段】 映像信号処理部の動作を制御するデータを保持するROMアクセス制御回路22とを備えたLSI21と、このLSI21の外部に設けられかつ前記ROMアクセス制御回路22に送るための制御データを保持するとともにROMアクセス制御回路22によりデータの読み出しが制御可能なフラッシュROM23とを有し、フラッシュROM23とROMアクセス制御回路22との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、前記映像出力データの垂直プランキング期間にデータを転送するように構成し、かつ前記毎フィールド更新する必要のないデータは複数に分割するとともに、複数のフィールドに分けて転送するように構成した。

【選択図】 図4

000005821

19900828

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/009833

International filing date: 24 May 2005 (24.05.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-152805
Filing date: 24 May 2004 (24.05.2004)

Date of receipt at the International Bureau: 24 June 2005 (24.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse